

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 05-048410  
 (43) Date of publication of application : 26. 02. 1993

(51) Int. Cl. H03K 5/01

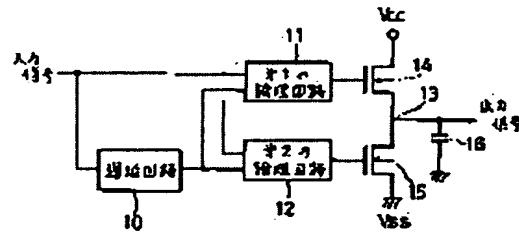
(21) Application number : 03-206767 (71) Applicant : TOSHIBA CORP  
 TOSHIBA MICRO ELECTRON KK  
 (22) Date of filing : 19. 08. 1991 (72) Inventor : SUMI SHINICHI  
 UDAGAWA OSAMU

## (54) NOISE ELIMINATION CIRCUIT

## (57) Abstract:

PURPOSE: To realize the noise elimination circuit able to eliminate noise in bipolar directions without fringing complicated circuit configuration, increase in number of elements, and a pattern occupied area.

CONSTITUTION: The circuit is provided with a delay circuit 10 delaying an input signal by a prescribed time and outputting a delay signal, logic circuits 11, 12 receiving the input signal and the delay signal and implementing prescribed logical processing to them, a 1st switch circuit 14 connected between a 1st power supply node and an output node 13 and in switching control by a 1st output signal from the logic circuit, and a 2nd switch circuit 15 connected between a 2nd power supply node and the output node 13 and in switching control by a 2nd output signal from the logic circuit.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application] abandonment  
 other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application] 02. 05. 1995

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-48410

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl.<sup>5</sup>  
H 03 K 5/01

識別記号 庁内整理番号  
C 7402-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数4(全5頁)

(21)出願番号 特願平3-206767

(22)出願日 平成3年(1991)8月19日

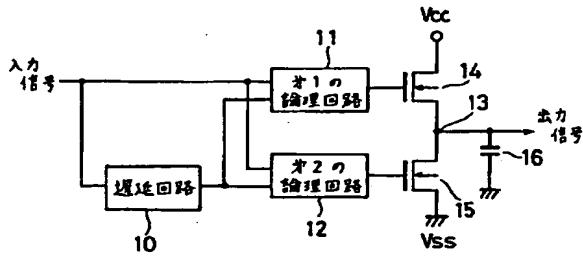
(71)出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(71)出願人 000221199  
東芝マイクロエレクトロニクス株式会社  
神奈川県川崎市川崎区駅前本町25番地1  
(72)発明者 角 伸一  
神奈川県川崎市川崎区駅前本町25番地1  
東芝マイクロエレクトロニクス株式会社内  
(72)発明者 宇田川 修  
神奈川県川崎市川崎区駅前本町25番地1  
東芝マイクロエレクトロニクス株式会社内  
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 雜音除去回路

(57)【要約】

【目的】回路構成の複雑化、素子数の増加、バターン占有面積の増大を招くことなく、正負両方向の雑音を除去し得る雑音除去回路を提供する。

【構成】入力信号を所定時間遅延させて遅延信号を出力する遅延回路10と、上記入力信号および遅延信号が入力し、所定の論理処理を行う論理回路(11、12)と、第1の電源ノードと出力ノード13との間に接続され、論理回路の第1の出力信号によりスイッチ制御される第1のスイッチ回路14と、出力ノードと第2の電源ノードとの間に接続され、論理回路の第2の出力信号によりスイッチ制御される第2のスイッチ回路15とを具備することを特徴とする。



1

## 【特許請求の範囲】

【請求項1】 入力信号を所定時間遅延させて遅延信号を出力する遅延回路と、上記入力信号および遅延信号が入力し、所定の論理処理を行う論理回路と、第1の電源ノードと出力ノードとの間に接続され、前記論理回路の第1の出力信号によりスイッチ制御される第1のスイッチ回路と、前記出力ノードと第2の電源ノードとの間に接続され、前記論理回路の第2の出力信号によりスイッチ制御される第2のスイッチ回路とを具備することを特徴とする雑音除去回路。

【請求項2】 請求項1記載の雑音除去回路において、前記論理回路は、前記入力信号および遅延信号の論理レベルが同じ時には前記第1のスイッチ回路および第2のスイッチ回路を相補的にスイッチ制御し、前記入力信号および遅延信号の論理レベルが異なる時には前記第1のスイッチ回路および第2のスイッチ回路をそれぞれオフ状態に制御することを特徴とする雑音除去回路。

【請求項3】 請求項1または2記載の雑音除去回路において、前記論理回路は、前記第1のスイッチ回路をスイッチ制御する NAND 回路および前記第2のスイッチ回路をスイッチ制御するノア回路を有し、前記第1のスイッチ回路は P チャネル MOS トランジスタ、前記第2のスイッチ回路は N チャネル MOS トランジスタであることを特徴とする雑音除去回路。

【請求項4】 請求項1または2記載の雑音除去回路において、前記論理回路は、前記第1のスイッチ回路をスイッチ制御するオア回路および前記第2のスイッチ回路をスイッチ制御するアンド回路を有し、前記第1のスイッチ回路は P チャネル MOS トランジスタ、前記第2のスイッチ回路は N チャネル MOS トランジスタであることを特徴とする雑音除去回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体集積回路に設けられる雑音除去回路に係り、特に入力信号中に含まれる正負両方向の雑音（ノイズ）成分を除去するための回路に関する。

## 【0002】

【従来の技術】 半導体集積回路に設けられる雑音除去回路は、一般に、図5乃至図7に示すような回路が知られている。

【0003】 図5の雑音除去回路は、遅延回路51とアンドゲート52とから構成されている。この回路においては、信号入力がアンドゲート52の一方の入力端に供給されると共に遅延回路51に入力し、ここで所定時間遅延された遅延信号が前記アンドゲート52の他方の入力端に供給され、上記アンドゲート52の出力ノードから出力信号が得られる。この出力信号は、信号入力および遅延信号

2

が共に“H”レベルの時に“H”レベル、それ以外の時は“L”レベルになる。

【0004】 従って、遅延回路51の遅延時間を雑音時間より長く設定しておけば、正方向に変化する雑音（正方向の雑音）を除去できる。なお、前記アンドゲート52に代えてオアゲートを用いれば、負方向に変化する雑音（負方向の雑音）を除去することができる。

【0005】 この雑音除去回路は、除去したい雑音のレベルがハイ（“H”）レベルであるか、ロー（“L”）レベルであるかが予め判明している場合に好適であるが、正負両方向の雑音に対処することができない。つまり、“H”レベル側の雑音に対する除去を行うか“L”レベル側の雑音に対する除去を行うかに応じて2つの回路を使い分ける必要がある。図6および図7は、正負両方向の雑音を除去し得るよう構成された雑音除去回路の従来例を示す回路図である。図6の回路は、正方向の雑音を除去する第1の雑音除去回路61と負方向の雑音を除去する第2の雑音除去回路62とをカスケード接続している。図7の回路は、入力信号と二段の遅延回路71、72の各出力とを多数決論理回路73に入力して多数決論理をとるようしている。しかし、図6および図7は、回路構成が複雑化し、素子数の増加やバターン占有面積の増大を招くという問題がある。

## 【0006】

【発明が解決しようとする課題】 上記したように正負両方向の雑音を除去し得るよう構成された従来の雑音除去回路は、回路構成が複雑化し、素子数の増加やバターン占有面積の増大を招くという問題があった。

【0007】 本発明は上記の問題点を解決すべくなされたもので、回路構成の複雑化、素子数の増加、バターン占有面積の増大を招くことなく、正負両方向の雑音を除去し得る雑音除去回路を提供することを目的とする。

## 【0008】

【課題を解決するための手段】 本発明の雑音除去回路は、入力信号を所定時間遅延させて遅延信号を出力する遅延回路と、上記入力信号および遅延信号が入力し、所定の論理処理を行う論理回路と、第1の電源ノードと出力ノードとの間に接続され、前記論理回路の第1の出力信号によりスイッチ制御される第1のスイッチ回路と、前記出力ノードと第2の電源ノードとの間に接続され、前記論理回路の第2の出力信号によりスイッチ制御される第2のスイッチ回路とを具備することを特徴とする。

## 【0009】

【作用】 入力信号および遅延信号の論理レベルが同じ時には第1のスイッチ回路および第2のスイッチ回路が相補的にスイッチ制御され、出力ノードから出力信号が得られる。これに対して、入力信号および遅延信号の論理レベルが異なる時には、第1のスイッチ回路および第2のスイッチ回路がそれぞれオフ状態に制御され、出力ノードの出力信号は直前のレベルが寄生負荷容量によりダ

イナミックに保持される。

【0010】従って、入力信号中に正負どちらの方向の雑音が含まれた時でも、この雑音が遅延回路の遅延時間より短時間であれば、この雑音の期間は入力信号および遅延信号の論理レベルが異なるので出力ノードは直前のレベルがダイナミックに保持されるようになり、正負両方向の雑音を除去することが可能になる。

【0011】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0012】図1は、本発明の雑音除去回路の基本構成を示している。この回路において、10は入力信号を所定時間遅延させて遅延信号を出力する遅延回路である。11は上記入力信号および遅延信号が入力し、所定の第1の論理処理を行う第1の論理回路である。12は前記入力信号および遅延信号が入力し、所定の第2の論理処理を行う第2の論理回路である。13は出力ノード、14は第1の電源（高電位側電源V<sub>cc</sub>）ノードと上記出力ノード13との間に接続され、前記第1の論理回路11の出力信号によりスイッチ制御される第1のスイッチ回路であり、本例では絶縁ゲート型（MOS型）のPチャネルトランジスタが用いられている。15は前記出力ノード13と第2の電源（接地電位V<sub>ss</sub>）ノードとの間に接続され、前記第2の論理回路12の出力信号によりスイッチ制御される第2のスイッチ回路であり、本例ではNチャネルトランジスタが用いられている。16は前記出力ノード13とV<sub>ss</sub>ノードとの間の寄生負荷容量である。

【0013】前記第1の論理回路11および第2の論理回路12は、前記入力信号および遅延信号の論理レベルが同じ時には前記第1のスイッチ回路14および第2のスイッチ回路15を相補的にスイッチ制御し、前記入力信号および遅延信号の論理レベルが異なる時には前記第1のスイッチ回路14および第2のスイッチ回路15をそれぞれオフ状態に制御するように構成されている。

【0014】上記構成の雑音除去回路によれば、入力信号および遅延信号の論理レベルが同じ時には第1のスイッチ回路14および第2のスイッチ回路15が相補的にスイッチ制御され、出力ノード13から出力信号が得られる。これに対して、入力信号および遅延信号の論理レベルが異なる時には、第1のスイッチ回路14および第2のスイッチ回路15がそれぞれオフ状態に制御される。これにより、出力ノード13はハイインピーダンス状態になるが、直前のレベルが寄生負荷容量16によりダイナミックに保持される。

【0015】従って、入力信号中に正負どちらの方向の雑音が含まれた時でも、この雑音が遅延回路10の遅延時間より短時間であれば、この雑音の期間は入力信号および遅延信号の論理レベルが異なるので出力ノード13は直前のレベルがダイナミックに保持されるようになり、正負両方向の雑音を除去することが可能になる。図2は、

図1の雑音除去回路の第1実施例を示す回路図である。

【0016】この回路においては、第1の論理回路として二入力の NAND 回路21、第2の論理回路として二入力のノア回路22が用いられており、図1中と同一部分には図1中と同一符号を付している。図3は、図2の回路の雑音除去動作例を示す波形図である。

【0017】いま、入力信号および遅延信号が共に“L”レベルの時、 NAND 回路21およびノア回路22の各出力は“H”レベルになり、Pチャネルトランジスタ14はオフ、Nチャネルトランジスタ15はオン状態に制御され、出力ノード13には入力信号と同じ“L”レベルの出力信号が得られる。

【0018】そして、上記“L”レベルの入力信号中に“H”レベルの雑音がt1期間だけ含まれた場合、遅延回路10の遅延時間後に遅延信号に“H”レベルの雑音がt1だけ期間含まれる。しかし、上記雑音の期間t1が上記遅延時間より短時間であれば、雑音の期間t1は、 NAND 回路21の出力は“H”レベルのままであってPチャネルトランジスタ14はオフ状態のままであるが、ノア回路22の出力は“L”レベルに反転してNチャネルトランジスタ15もオフ状態に反転するので、出力ノード13は直前のレベルがダイナミックに保持されるようになる。

【0019】次に、入力信号が“H”レベルに立ち上がってから遅延信号が“H”レベルに立ち上がるまでの期間では、 NAND 回路21の出力は“H”レベルのままであってPチャネルトランジスタ14はオフ状態のままであるが、ノア回路22の出力は“L”レベルに反転してNチャネルトランジスタ15もオフ状態に反転するので、出力ノード13は直前のレベルがダイナミックに保持されるようになる。

【0020】次に、遅延信号が“H”レベルに立ち上がり、入力信号および遅延信号が共に“H”レベルになると、 NAND 回路21およびノア回路22の各出力は“L”レベルになり、Pチャネルトランジスタ14はオン、Nチャネルトランジスタ15はオフ状態に制御され、出力ノード13には入力信号と同じ“H”レベルの出力信号が得られる。

【0021】そして、上記“H”レベルの入力信号中に“L”レベルの雑音がt2期間だけ含まれた場合、遅延回路10の遅延時間後に遅延信号に“L”レベルの雑音がt2だけ期間含まれる。しかし、上記雑音の期間t2が上記遅延時間より短時間であれば、雑音の期間t2は、ノア回路22の出力は“L”レベルのままであってNチャネルトランジスタ15はオフ状態のままであるが、 NAND 回路21の出力は“H”レベルに反転してPチャネルトランジスタ14もオフ状態に反転するので、出力ノード13は直前のレベルがダイナミックに保持されるようになる。

【0022】上記実施例の雑音除去回路によれば、図7あるいは図8に示した従来例の雑音除去回路と比べて、回路構成が簡単であり、使用素子数が少なくて済み、バ

ターン占有面積の増大を招くことがない。図4は、図1の雑音除去回路の第2実施例を示す回路図である。

【0023】この回路においては、第1の論理回路として二入力のオア回路41、第2の論理回路として二入力のアンド回路42が用いられており、図1中と同一部分には図1中と同一符号を付している。

【0024】この回路の動作は、図3を参照して前述した図2の回路の動作と基本的に同様であるが、入力信号および遅延信号の論理レベルが同じ時には第1のスイッチ回路14および第2のスイッチ回路15が相補的にスイッチ制御され、出力ノード13には入力信号の論理レベルとは逆の論理レベルの出力信号が得られる。

【0025】

【発明の効果】上述したように本発明によれば、回路構成の複雑化、素子数の増加、パターン占有面積の増大を招くことなく、正負両方向の雑音を除去し得る雑音除去回路を実現できる。

【図面の簡単な説明】

\* 【図1】本発明の雑音除去回路の基本構成を示すブロック図。

【図2】図1の雑音除去回路の第1実施例を示す回路図。

【図3】図2の回路の雑音除去動作の一例を示す波形図。

【図4】図1の雑音除去回路の第2実施例を示す回路図。

【図5】従来の雑音除去回路を示す回路図。

【図6】正負両方向の雑音を除去し得るように構成された雑音除去回路の従来例を示す回路図。

【図7】正負両方向の雑音を除去し得るように構成された雑音除去回路の他の従来例を示す回路図。

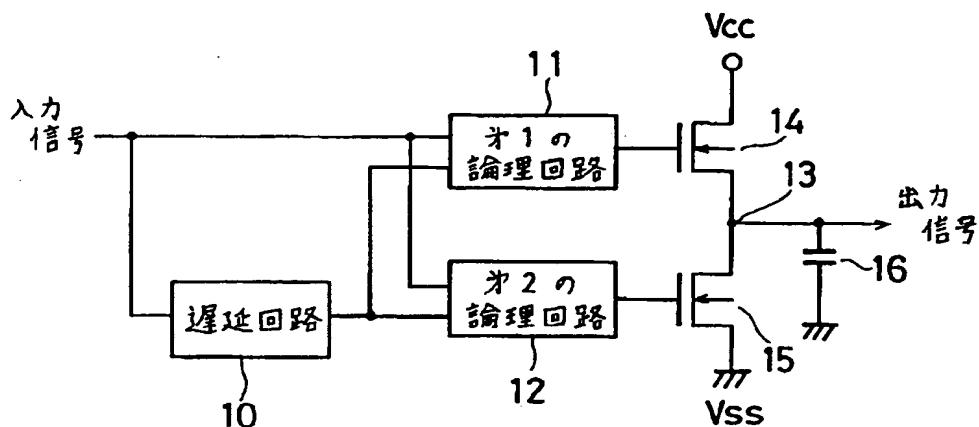
【符号の説明】

10…遅延回路、11…第1の論理回路、12…第2の論理回路、13…出力ノード、14…第1のスイッチ回路、15…第2のスイッチ回路、16…寄生負荷容量、21… NAND回路、22…ノア回路、41…オア回路、42…アンド回路。

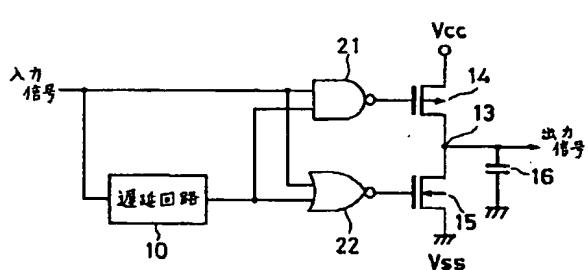
10

\*

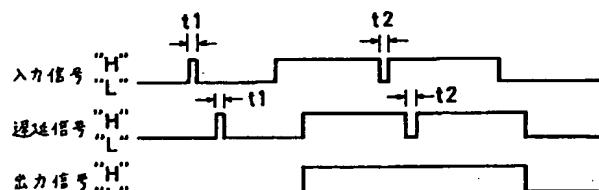
【図1】



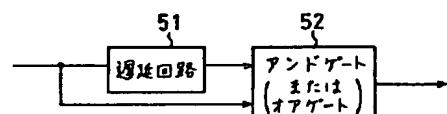
【図2】



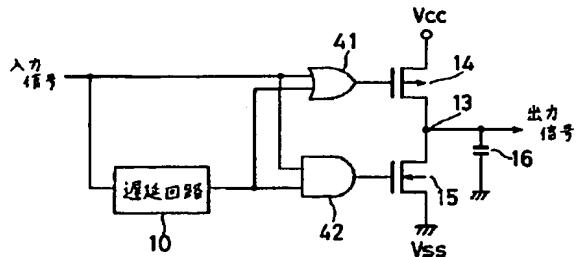
【図3】



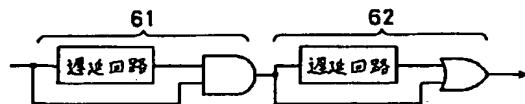
【図5】



【図4】



【図6】



【図7】

